

## (54) VOICE RECOGNITION DEVICE

(11) 4-102899 (A) (43) 3.4.1992 (19) JP

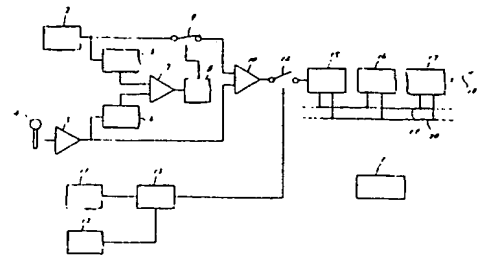
(21) Appl. No. 2-221888 (22) 22.8.1990

(71) MATSUSHITA ELECTRIC IND CO LTD (72) MASAHISA FURUYA

(51) Int. Cl.<sup>5</sup>. G10L3/00, H04N5/00

**PURPOSE:** To prevent the malfunction and misrecognition of a voice recognizing circuit by inputting the difference signal between the voice signal of external equipment from a reception part and a signal from a microphone and further performing control by a vibration sensing and human body approach sensor, etc.

**CONSTITUTION:** A mean level difference device 7 outputs the difference between mean level values calculated by calculation parts 3 and 6 a control circuit 8 and a switch 9 is opened when the width and frequency of variation per unit time are larger than threshold values to input only a signal from an amplifier 5 to a voice signal difference device 10 or closed when less to input even the signal from the voice signal reception part 2 as well. Then a control circuit 13 combines the signals of the vibration sensor 12 and human body approach sensor 11 to control the input signal to a voice recognition circuit 15. Consequently, unnecessary operation due to a voice of a person other than the user and a noise is eliminated and even when a voice is small, the malfunction and misoperation of the voice recognition circuit can be prevented.



1: external equipment, 16: control circuit, 17: control signal selection part

## (54) MUSICAL INTERVAL CONVERSION DEVICE

(11) 4-102900 (A) (43) 3.4.1992 (19) JP

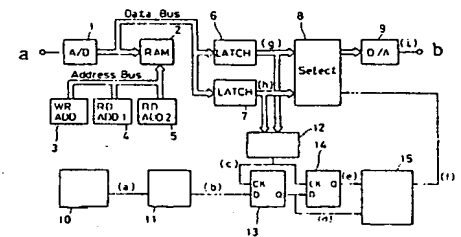
(21) Appl. No. 2-218962 (22) 22.8.1990

(71) MATSUSHITA ELECTRIC IND CO LTD (72) MIKIO ODA

(51) Int. Cl.<sup>5</sup>. G10L3/02

**PURPOSE:** To make a smooth connection at low cost only by the addition of a simple control circuit by shifting a read of two audio data by 1/2 ring memory at each time, switching output data alternately in periods wherein the both become equal in amplitude level, and then performing complete movement.

**CONSTITUTION:** A timing generating circuit 10 controls passing and several-rounds delay between a memory write address and a memory read address due to the repetition of musical interval conversion. Then its signal is shifted in phase by a phase shift circuit 11 and a selector circuit 8 generates a signal for switching PCM digital data before a discontinuous point is generated. Consequently, the generation of an AM-modulated component is suppressed only by adding the simple control circuit such as a signal match detecting circuit, so the need for a complicate circuit for cross-fading is eliminated and D/A converter is decreased to enable musical interval conversion with smooth connection while realizing great cost reduction.



1: A/D converter, 3: memory write address generating circuit, 6: latch circuit, 7: latch circuit, 9: D/A converter, 12: coincidence detecting circuit, 13,14: F/F (flip-flop) circuit, 15: chattering generating circuit, a: analog input, b: analog output

## (54) CONTROLLER

(11) 4-102901 (A) (43) 3.4.1992 (19) JP

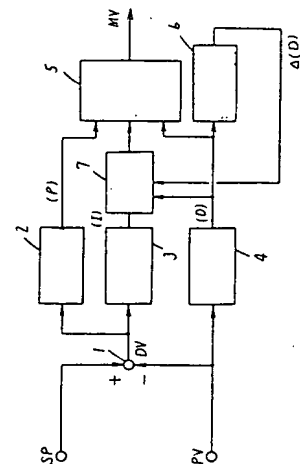
(21) Appl. No. 2-220744 (22) 22.8.1990

(71) YOKOGAWA ELECTRIC CORP (72) TADASHI AZEGAMI

(51) Int. Cl.<sup>5</sup>. G05B11/42, G05D23/19

**PURPOSE:** To effectively maintain control characteristic even if characteristic variation is generated in a process by providing this controller with a differential output variation computing part for computing variation in the operation result of a differential operation part and an integrating operation regulating means for regulating the integrating operation value of an integrating operation part based upon the computed result of the differential output variation computing part.

**CONSTITUTION:** The controller is provided with the differential output variation computing part 6 for computing variation in the operation result of the differential operation part 4 and the integrating operation regulating means 7 for regulating the operation value of the integrating operation part 3 based upon the computed result of the computing part 6. The computing part 6 inputs a differential operation result (D) and finds out its variation  $\Delta(D)$  by differential operation and the regulating means 7 regulates the integration value  $\Delta(I)$  outputted from the operation part 3 in accordance with variation  $\Delta(D)$  outputted from the computing part 6. Consequently, the influence of mismatching of parameters can be reduced, the tuning of the parameters can easily be executed, and even when characteristic variation is generated in a process, its control characteristics can be effectively maintained.



2: proportional operation part, 5: output operation part

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-102900

⑬ Int. Cl.<sup>5</sup>

G 10 L 3/02

識別記号

D

庁内整理番号

8622-5D

⑭ 公開 平成4年(1992)4月3日

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 音程変換装置

⑯ 特 願 平2-218962

⑰ 出 願 平2(1990)8月22日

⑱ 発 明 者 小 田 幹 夫 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

明 細 書

1. 発明の名称 音程変換装置

2. 特許請求の範囲

音声入力信号を記憶するメモリと、その書き込みアドレス発生回路と、所定の音程変換の時間幅で読み出しする第1のメモリ読み出しアドレス発生回路と、その読み出したアドレスと1/2リングメモリ分だけ進えて読み出す、並列接続された第2のメモリ読み出しアドレス発生回路と、それらから読み出されたメモリデータを、それぞれラッチする並列接続された第1、第2のラッチ回路と、それらの各出力データを選択するセクタ回路と、及び、その出力を音声出力する構成の音程変換装置において、上記、メモリ書き込みアドレス発生回路と、メモリ読み出しアドレス発生回路から音程変換に応じて得られる不連続タイミングを検出し、読み出し切り換えを制御するタイミング発生回路を設け、その出力を入力とした、不連続点の発生前に切り換え制御するために位相をシ

フトする位相シフト回路を設けると共に、上記第1、第2のラッチ回路の出力データを入力とする一致検出回路を設け、その一致検出によって出力するパルス出力をクロック入力として、上記、位相シフト回路の出力信号を入力とする第1のフリップフロップ回路と、その出力信号を入力とする第2のフリップフロップ回路と、それら第1、第2のフリップフロップ回路の出力を入力して、その不一致期間にチャタリングを施すチャタリング発生回路とを設け、そのチャタリング発生出力により前記セクタ回路を制御するように構成したことを特徴とする音程変換装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、カラオケ装置等で利用されるオーディオ信号の音程変換装置に関するものである。

(従来の技術)

近年のオーディオ信号処理技術の発達は、めざましいものがあり、デジタル信号処理技術を利用して、高性能、高精度の信号処理が行なわれて

いる。

中でも、音程変換装置は、カラオケ装置の普及により、次々と高技術化が図られ、デジタル信号処理により高精度の音程変換が実現されるようになってきている。

第4図は、音程変換をデジタル信号処理する装置の従来の構成ブロック図、第5図は、音程変換の基本動作原理を示す説明図、第6図は第4図のRAM2の書き込み、読み出しアドレス位置を示す説明図、第7図は第4図の各部の動作を示す波形成図である。

第4図において、1はA/Dコンバータ、2はRAM(ランダムアクセスメモリ)、3はメモリ書き込みアドレス発生回路、4は第1のメモリ読み出しアドレス発生回路、5は第2のメモリ読み出しアドレス発生回路、6及び7はラッチ回路、9及び17はD/Aコンバータ、16及び18は減衰器、19は加算器である。

このように構成された音程変換装置は次のように動作する。

まず、端子T<sub>1</sub>から入力されたアナログ・オーディオ信号はA/Dコンバータ1により、サンプリング周波数 $f_s$ によりPCMデジタル信号に変換され、0番地から始まるメモリ書き込みアドレス発生回路3により指定されるRAM2のアドレスに順次書き込まれる。RAM2はリングメモリとして構成されており、第6図に示すように、0番地から始まり、サンプリング周波数 $f_s$ 毎にアドレスを増加し、最大アドレスをすぎると再び0番地から始まる。

一方、メモリ読み出しアドレス発生回路4は、メモリ書き込みアドレス発生回路3と異なった時間幅でアドレスを増加させるように構成されており、音程を上げる場合は、 $1/f_s(\text{sec})$ より時間幅は短く、音程を下げる場合は逆に、 $1/f_s(\text{sec})$ より長い時間幅となる。

第5図は音程を下げる場合のオーディオ信号波形の変化を示し、図(a)は原波形、図(b)は音程変換波形である。また、メモリ読み出しアドレス発生回路5は、メモリ読み出しアドレス発生回路4

- 3 -

から1/2リングメモリ分だけ、アドレスを進えられている。メモリ読み出しアドレス発生回路4で読み出されるPCMデジタルデータをラッチするラッチ回路6を通して、アナログ変換するD/Aコンバータ9、及びメモリ読み出しアドレス発生回路5により読み出されるPCMデジタルデータをラッチするラッチ回路7を通してアナログ変換するD/Aコンバータ17の出力を、それぞれ、重み付けする減衰器16、18を経て加算器19により加算し最終の音程変換出力を端子T<sub>1</sub>に得る。

(発明が解決しようとする課題)

しかしながら、前記した構成では音程変換出力の振幅は一定ではなく、AM変調がかかったオーディオ信号波形となり、振幅が一定の正弦波入力の場合は不快感となる。すなわちメモリ書き込みアドレス発生回路3のアドレス増加時間幅と、メモリ読み出しアドレス発生回路4のアドレス増加時間幅が異なるため、時間経過と共に、一定の周期で、前記2つのアドレス間で追越し、または周回遅れが発生する。この時、オーディオ信号の位

- 4 -

相によっては第7図(a)に示すように、時間 $t_1$ 、 $t_3$ …で不連続点が発生し、1/2リングメモリ分だけ進えた読み出しアドレス発生回路5により読み出されるPCMデジタルデータは、第7図(b)に示すように、 $t_1$ と $t_3$ の中間点 $t_2$ 、及び $t_3$ と $t_5$ の中間点 $t_4$ というように第7図(a)の中間点で不連続点が発生する。そのため、この不連続点ではインパルス性の雑音となり、それを防止するため、以下のようなクロスフェード方法が一般に用いられる。

すなわち、第7図(a)、(b)で示される波形をそれぞれ、 $F_1(t)$ 、 $F_2(t)$ 、減衰器16、18の重み付け係数をそれぞれ、 $\alpha_1(t)$ 、 $\alpha_2(t)$ とし、通常、 $\alpha_1(t) + \alpha_2(t) = 1$ となる関係で第7図(c)、(d)で示される時間関数で重み付けされ、不連続点でのインパルス性雑音を消し、

$$\alpha_1(t) \cdot F_1(t) + \alpha_2(t) \cdot F_2(t)$$

として、最終出力波形(e)を得るように構成していた。しかしながら、これは不連続点におけるイ

- 5 -

- 6 -

ンパルス性雑音を消すことができるがAM変調成分が発生する問題点を有している。

本発明は上記の問題を排除した音程変換装置の提供を目的とする。

(課題を解決するための手段)

本発明は、上記の目的を、不連続点が発生する前に、 $1/2$ リングメモリ分遅えた、2つのメモリ読み出しアドレス発生回路で読み出されるオーディオデータのうち、現在最終出力している側のオーディオデータと、今から移行する側のオーディオデータが同一振幅レベルになる第1の点から、次に同一振幅レベルになる第2の点までの期間を交互に最終出力するようにし、結果的に、この期間では平均値をとって移行することにより、大幅なAM変調成分が発生することなく、スムーズに接続する音程変換装置の構成として達成する。

(作用)

本発明は上記した構成により、 $1/2$ リングメモリ分だけ遅えて読み出しする2つのメモリ読み出しアドレスにより読み出されているオーディオ

データのうち、現在最終出力している側のオーディオデータと、今から移行する側のオーディオデータが同一振幅レベルになる点から、次に同一振幅レベルになる点までの期間を、交互に出力データを切り換え、その後、完全に移行することにより、メモリへのオーディオデータの書き込み、読み出し時間幅の違いによるアドレス間の追越し、または周回遅れによる接続点でのクロスフェードによるAM変調成分の発生が緩和され、スムーズな接続が可能となり、しかも信号一致回路等の簡単な制御回路の追加だけで実現でき、クロスフェードのための複雑な演算回路が不必要となると共に、D/Aコンバータも削減でき、大幅なコストダウンが可能となる。

(実施例)

以下、本発明の実施例を図面を参照しながら説明する。

第1図は本発明の一実施例の構成ブロック図である。

符号1ないし7は第4図の対応する部位と同じ

- 7 -

動作をし、その他の符号8はラッチ回路6及び7のデータを選択するセレクト回路、9はセレクト回路8のデジタルデータをアナログに変換するD/Aコンバータ、10はメモリ書き込みアドレス発生回路3とメモリ読み出しアドレス発生回路4、5から音程変換に応じて得られる不連続点発生タイミングを検出し、読み出し切り換え制御するタイミング発生回路、11は前記タイミング発生回路10により発生する信号を位相シフトし、不連続点の発生前に、切り換え信号を発生する位相シフト回路、12は第1のラッチ回路6のデータと、第2のラッチ回路7のデータの一致を検出しパルスを出力する一致検出回路、13は位相シフト回路11の出力信号をデータ入力とし、一致検出回路12のパルス出力をクロック入力とする第1のF/F回路、14は第1のF/F回路13の出力をデータ入力とし、一致検出回路12のパルス出力をクロック入力とする第2のF/F回路、15は第1のF/F回路13と第2のF/F回路14の出力を入力とし、2つのF/F回路出力信号の不一致期間にチャタリングを

施すチャタリング発生回路である。

また、第2図は、第1図の各部の動作を説明する波形図、第3図は第2図のオーディオ信号波形を含めた拡大波形図である。

以下、上記構成の音程変換装置の動作を説明する。

第1図において、入力されたアナログ・オーディオ信号はA/Dコンバータ1により、サンプリング周波数 $f_s$ でPCMデジタル信号に変換され、0番地から始まるメモリ書き込みアドレス発生回路3により指定されるRAM2のアドレスに順次書き込まれる。RAM2はリングメモリとして構成されており、第6図に示すように、0番地から始まり、サンプリング周波数 $f_s$ 毎にアドレスを増加し、最大アドレスをすぎると再び0番地から始まる。

一方、メモリ読み出しアドレス発生回路4は、メモリ書き込みアドレス発生回路3と異なった時間幅でアドレスを増加させるように構成されており、音程を上げる場合は、 $1/f_s(\text{sec})$ よりも時

- 8 -

- 871 -

- 10 -

間幅を短く、音程を下げる場合は逆に  $1/f_s$  (sec) より長い時間幅となされる。

第5図は、上記音程を下げる場合のオーディオ信号波形の変化を示したものである。また、メモリ読み出しアドレス発生回路5は、メモリ読み出しアドレス発生回路4より  $1/2$  リングメモリ分だけ、アドレスを遅えられているものである。メモリ読み出しアドレス発生回路4により、読み出される、PCMデジタルデータをラッチするラッチ回路6及び、メモリ読み出しアドレス発生回路5により読み出されるPCMデジタルデータをラッチするラッチ回路7の動作は第4図で説明したと同じ動作をする。

ラッチ回路6、またはラッチ回路7で得られたPCMデジタルデータの内、メモリ書き込みアドレスとメモリ読み出しアドレスの追越し、または周回遅れが発生しない側のデータを選択するセレクト回路8により選択された、PCMデジタルデータは、D/Aコンバータ9によりアナログオーディオ信号として、最終の音程変換出力とな

る。

音程変換を繰り返して行くと、従来例で示したように、メモリ書き込みアドレスとメモリ読み出しアドレスの追越し、または周回遅れが発生することになるが、この不連続点を管理しているのがタイミング発生回路10であり、音程変換に応じて一義的に不連続点が求められる。タイミング発生回路10で得られる不連続点検出信号を、位相シフト回路11で位相シフトし、不連続点が発生する前に前記セレクト回路8によりPCMデジタルデータを切り換える信号とする。すなわち、位相シフト回路11の出力信号は不連続点発生の予備信号であり、出力信号をF/F回路13のデータ入力とする。一方、ラッチ回路6及び7の出力データの内、上位数ビットを各々入力とし、データの一致を検出する一致検出回路12は常に、この2つのデータの一致によりパルスを出力しており、一致検出回路12の出力をF/F回路13のクロック入力すると位相シフト回路11の出力はF/F動作により、遅延される。このF/F回路13により遅延さ

- 11 -

れた信号はさらにF/F回路14によって、遅延される。チャタリング発生回路15は、F/F回路13とF/F回路14の出力を比較し、不一致期間を検出し、不一致期間にチャタリングを施すものである。チャタリング発生回路15の出力を前記セレクト回路8の切り換え制御信号とする。

第2図は、第1図の各部の動作を説明する波形図であり、最終のチャタリング発生回路15の出力は(f)に示すように、不連続点が発生される前に、予備切り換え信号(b)を一致検出回路12の出力パルス(c)で遅延させて(d)、(e)の信号を作成し、(d)と(e)の信号の内、不一致期間にチャタリングを施している。

第3図は第2図を、拡大し実際のオーディオ信号を含めて示した波形図であり、チャタリングが発生させた期間では(i)に示すようにラッチ回路6、7の出力信号(g)、(h)のデータが両方混在しており、これは通常D/Aコンバータ9の後段に設けられるLPF(ローパスフィルタ)によって、平滑され(j)のような平滑された波形を得ること

になる。

(発明の効果)

以上詳細に説明して明らかなように本発明は、 $1/2$  リングメモリ分だけ遅えて読み出しを開始する、2つのメモリ読み出しアドレスにより読み出されているオーディオデータのうち、現在最終出力している側のオーディオデータと、今から移行する側のオーディオデータとが同一振幅レベルになる点から、次に同一振幅レベルになる点までの期間を、交互に出力データを切り換え、その後、完全に移行することにより、メモリへのオーディオデータの書き込み、読み出し時間幅の違いによるアドレス間の追越し、または周回遅れによる接続点でのクロスフェード方法によるAM変調成分の発生が緩和されて、スムーズな接続が可能となり、しかも信号一致検出回路等の簡単な制御回路の追加だけで実現でき、クロスフェードのための複雑な演算回路が不要となると共に、D/Aコンバータを削減でき、大幅なコストダウンが可能な結果を有する。

- 13 -

- 14 -

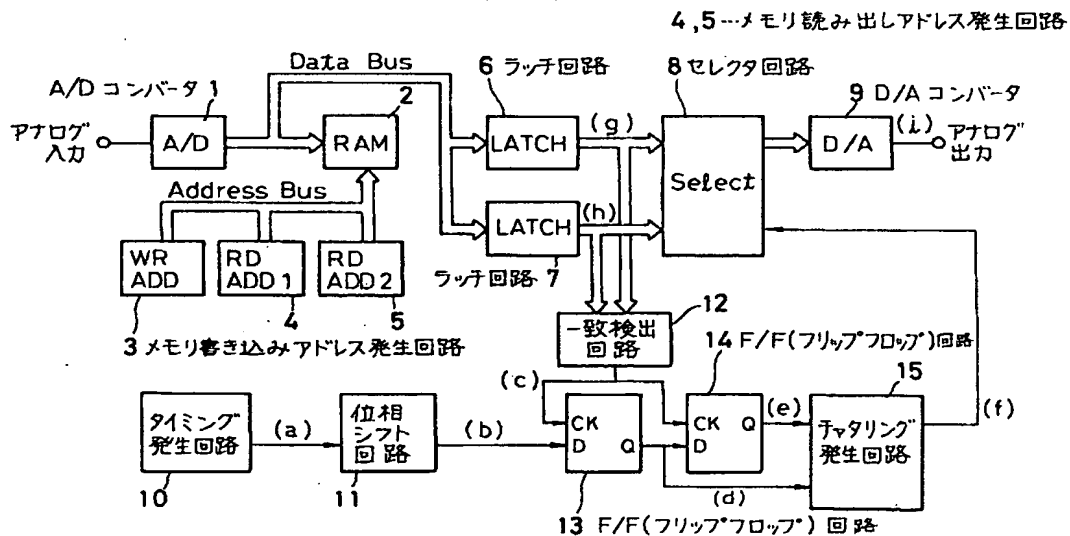
## 4. 図面の簡単な説明

第1図は本発明の一実施例における音程変換装置の構成を示すブロック図、第2図は第1図の各部の動作を説明する波形図、第3図は第2図のオーディオ信号波形を含めた拡大波形図、第4図は従来の音程変換装置の構成を示すブロック図、第5図は音程変換の基本動作原理を説明する波形図、第6図は音程変換装置でのメモリ書き込み及び読み出しアドレス位置を示す説明図、第7図は第4図の各部の動作を説明する波形図である。

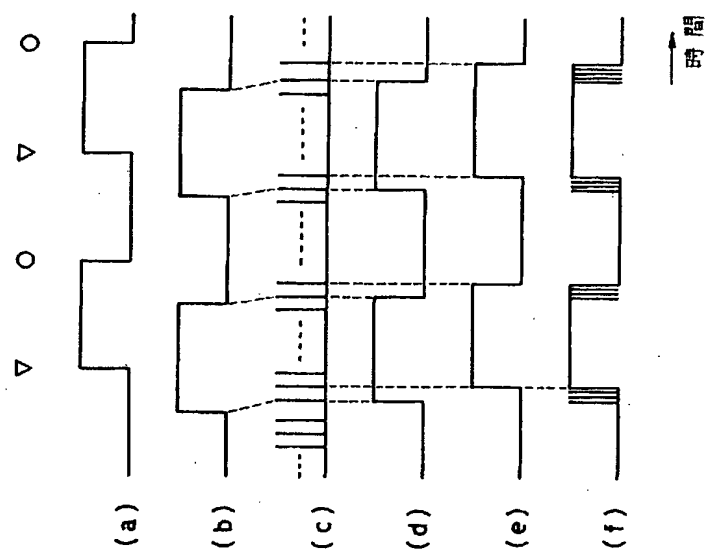
- 1 … A/Dコンバータ、2 … RAM、  
 3 … メモリ書き込みアドレス発生回路、  
 4, 5 … メモリ読み出しアドレス発生回路、  
 6, 7 … ラッチ回路、8 … セレクタ回路、9, 17 … D/Aコンバータ、  
 10 … タイミング発生回路、11 … 位相シフト回路、12 … 一致検出回路、  
 13, 14 … F/F(フリップフロップ)回路、15 … チャタリング発生回路、  
 16, 18 … 減衰器、19 … 加算器。

- 15 -

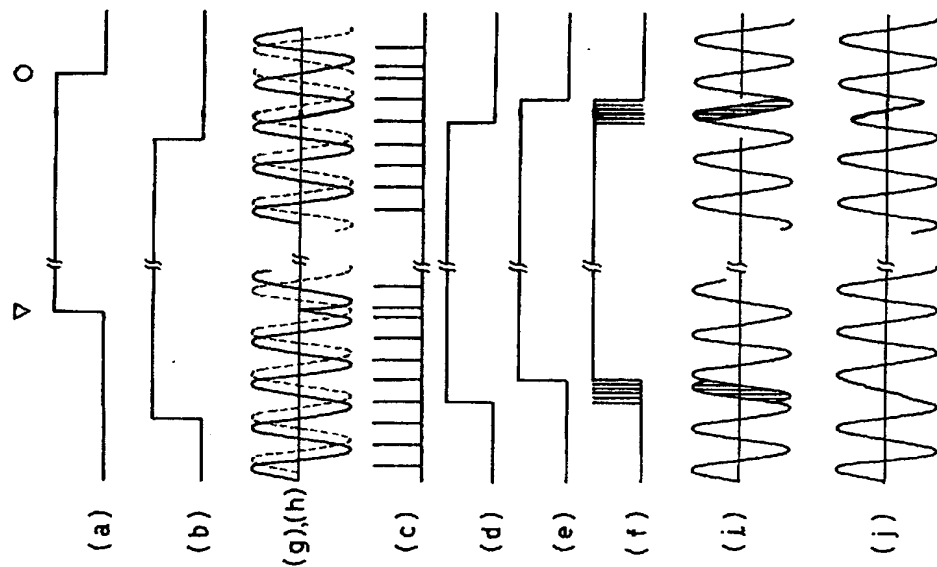
第1図



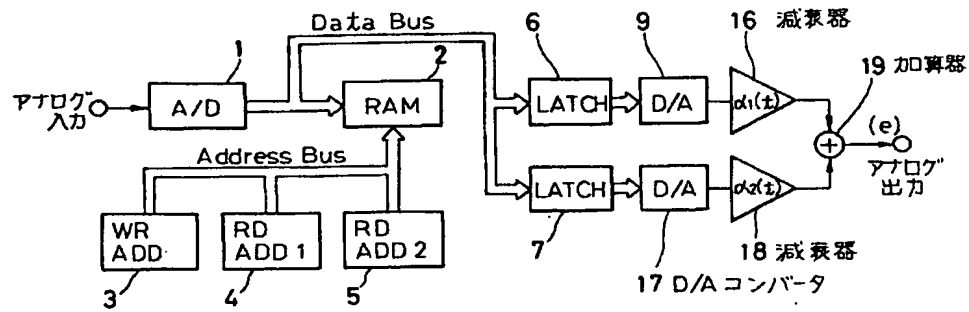
第2図



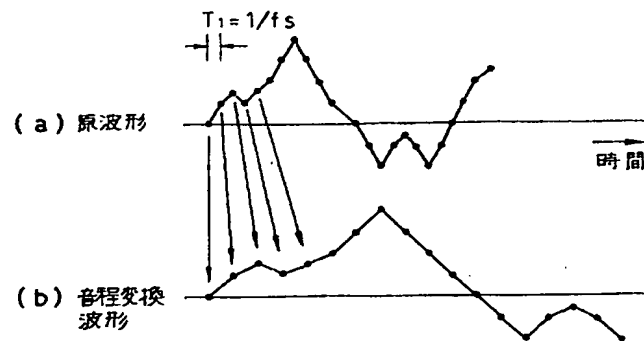
第3図



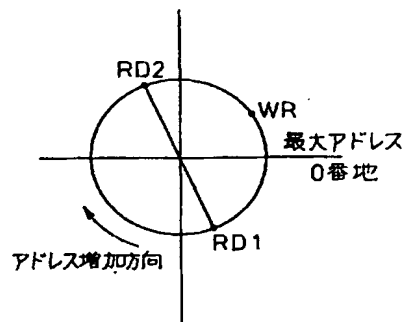
第 4 図



第 5 図



第 6 図





第 7 図

